

Docket No.: 67160-017

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
Katsuya FURUE	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: January 06, 2004	:	Examiner: Unknown
For: SEMICONDUCTOR INTEGRATED CIRCUIT	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-301820, filed August 26, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: January 6, 2004**

592475 US0/  
GR/100205

日 本 国 特 許 庁

JAPAN PATENT OFFICE

67160-017

FURUE

January 6, 2004

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月 2 6 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 0 1 8 2 0  
Application Number:

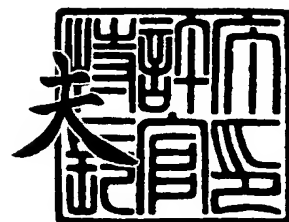
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 0 1 8 2 0 ]

出      願      人                      株式会社ルネサステクノロジ  
Applicant(s):

2 0 0 3 年 1 2 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 6 4 4 5

【書類名】 特許願  
【整理番号】 542475JP01  
【提出日】 平成15年 8月26日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/66  
G01R 31/28  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサステクノ  
ロジ内  
【氏名】 古江 勝也  
【特許出願人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【代理人】  
【識別番号】 100082175  
【弁理士】  
【氏名又は名称】 高田 守  
【電話番号】 03-5379-3088  
【選任した代理人】  
【識別番号】 100066991  
【弁理士】  
【氏名又は名称】 葛野 信一  
【電話番号】 03-5379-3088  
【選任した代理人】  
【識別番号】 100106150  
【弁理士】  
【氏名又は名称】 高橋 英樹  
【電話番号】 03-5379-3088  
【手数料の表示】  
【予納台帳番号】 049397  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板の一主面に配置された第 1 のパッド、  
前記一主面に前記第 1 のパッドに隣接して配置された第 2 のパッド、  
前記第 1 のパッドと第 2 のパッドとの間に配置されそれらを接続するパッド接続部、  
前記第 1 のパッドに接続された第 1 の出力バッファを有する第 1 の信号入出力回路、  
前記第 2 のパッドに接続された第 2 の入力バッファと、出力部が制御可能な出力インピーダンスを持ち前記第 2 のパッドに接続された第 2 の出力バッファとを有する第 2 の信号入出力回路、

および前記第 1 の信号入出力回路と前記第 2 の信号入出力回路とに接続された入出力信号制御回路を備え、

前記入出力信号制御回路が、前記第 1 の出力バッファの入力部に接続された第 1 のラッチ回路と、前記第 2 の入力バッファの出力部に接続された第 2 のラッチ回路と、前記第 1 の出力バッファの入力部と前記第 2 の出力バッファの入力部との間に接続された第 1 の制御スイッチを有することを特徴とする半導体集積回路。

**【請求項 2】**

請求項 1 記載の半導体集積回路であって、前記第 1 のパッドと第 2 のパッドが実質的に互いに同じ幅を有し、前記パッド接続部が前期第 1、および第 2 のパッドと同じ幅を持ってそれらを接続していることを特徴とする半導体集積回路。

**【請求項 3】**

請求項 1 記載の半導体集積回路であって、前記第 2 の出力バッファの出力部に第 2 の制御スイッチが設けられ、この第 2 の制御スイッチが前記制御可能な出力インピーダンスを構成し、この第 2 の制御スイッチを介して前記第 2 の出力バッファの出力部が前記第 2 のパッドおよび前記第 2 の入力バッファに接続されることを特徴とする半導体集積回路。

**【請求項 4】**

請求項 1 記載の半導体集積回路であって、前記出力部が制御可能な出力インピーダンスを持つ第 2 の出力バッファはトライステートバッファであることを特徴とする半導体集積回路。

**【請求項 5】**

請求項 1 記載の半導体集積回路であって、通常動作モードとテストモードで動作するように構成され、

前記通常動作モードでは、前記出力インピーダンスを高インピーダンス、前記第 1 の制御スイッチをオフとした状態で、前記第 1 の出力バッファから出力信号を出力し、

前記テストモードでは、前記出力インピーダンスを低インピーダンス、前記第 1 の制御スイッチをオンとした状態で、前記第 1 の出力バッファと前記第 2 の出力バッファから同時に同一論理の出力信号を出力することを特徴とする半導体集積回路。

**【請求項 6】**

請求項 1 記載の半導体集積回路であって、通常動作モードとテストモードで動作するように構成され、

前記通常動作モードでは、前記出力インピーダンスを高インピーダンス、前記第 1 の制御スイッチをオフとした状態で、前記第 1 の出力バッファから出力信号を出力し、

前記テストモードでは、前記出力インピーダンスを高インピーダンス、前記第 1 の制御スイッチをオフとした状態で、前記第 1 の出力バッファに入力される信号を所定のタイミングで前記第 1 のラッチ回路にラッチさせるとともに、前記第 2 の入力バッファが出力する信号を前記所定のタイミングで前記第 2 のラッチ回路にラッチさせることを特徴とする半導体集積回路。

**【請求項 7】**

請求項 1 記載の半導体集積回路であって、通常動作モードと、第 1 のテストモードと、第 2 のテストモードで動作するように構成され、

前記通常動作モードでは、前記出力インピーダンスを高インピーダンス、前記第 1 の制

御スイッチをオフとした状態で、前記第1の出力バッファから出力信号を出力し、

前記第1のテストモードでは、前記出力インピーダンスを低インピーダンス、前記第1の制御スイッチをオンとした状態で、前記第1の出力バッファと前記第2の出力バッファから同時に同一論理の出力信号を出力し、

また、前記第2のテストモードでは前記出力インピーダンスを高インピーダンス、前記第1の制御スイッチをオフとした状態で、前記第1の出力バッファに入力される信号を所定のタイミングで前記第1のラッチ回路にラッチさせるとともに、前記第2の入力バッファが出力する信号を前記所定のタイミングで前記第2のラッチ回路にラッチさせることを特徴とする半導体集積回路。

【請求項8】

請求項6または請求項7記載の半導体集積回路であって、前記入出力信号制御回路が、さらに前記第1のラッチ回路と第2のラッチ回路の出力信号とを比較する比較回路を有することを特徴とする半導体集積回路。

【請求項9】

半導体基板の一主面に配置された第1のパッド、

前記一主面に前記第1のパッドに隣接して配置された第2のパッド、

前記第1のパッドと第2のパッドとの間に配置されそれらを接続するパッド接続部、

前記第1のパッドに接続された第1の出力バッファを有する第1の信号入出力回路、

前記第2のパッドに接続された出力部が制御可能な出力インピーダンスを持つ第2の出力バッファを有する第2の信号入出力回路、

および前記第1の信号入出力回路と前記第2の信号入出力回路とに接続された入出力信号制御回路を備え、

前記入出力信号制御回路が、前記第1の出力バッファの入力部と前記第2の出力バッファの入力部との間に接続された第1の制御スイッチを有し、

通常動作モードでは、前記出力インピーダンスを高インピーダンス、前記第1の制御スイッチをオフとした状態で、前記第1の出力バッファから出力信号を出力し、

またテストモードでは、前記出力インピーダンスを低インピーダンス、前記第1の制御スイッチをオンとした状態で、前記第1の出力バッファと第2の出力バッファから同時に同一論理の出力信号を出力することを特徴とする半導体集積回路。

【請求項10】

半導体基板の一主面に配置された第1のパッド、

前記一主面に前記第1のパッドに隣接して配置された第2のパッド、

前記第1のパッドと第2のパッドとの間に配置されそれらを接続するパッド接続部、

前記第1のパッドに接続された出力バッファを有する第1の信号入出力回路、

前記第2のパッドに接続された第2の入力バッファを有する第2の信号入出力回路、

および前記第1の信号入出力回路と前記第2の信号入出力回路とに接続された入出力信号制御回路を備え、

前記入出力信号制御回路が、入力部が前記第1の出力バッファの入力部に接続された第1のラッチ回路と、入力部が前記第2の入力バッファの出力部に接続された第2のラッチ回路とを有し、

通常動作モードでは、前記第1の出力バッファから出力信号を出力し、

またテストモードでは、前記第1の出力バッファに入力される信号を所定のタイミングで前記第1のラッチ回路にラッチさせるとともに、前記第2の入力バッファが出力する信号を前記所定のタイミングで前記第2のラッチ回路にラッチさせることを特徴とする半導体集積回路。

【請求項11】

請求項10記載の半導体集積回路であって、前記入出力信号制御回路が、前記第1のラッチ回路と第2のラッチ回路の出力信号を比較する比較回路を有することを特徴とする半導体集積回路。

【書類名】明細書

【発明の名称】半導体集積回路

【技術分野】

【0001】

この発明は、テストを容易化するためのパッド構造、信号入出力回路および入出力信号制御回路を備えた半導体集積回路に関するものである。

【背景技術】

【0002】

従来の半導体集積回路のパッドは個々独立して形成されており、ウエハテスト時には、これら個々のパッドにプローブ針を接触させることにより、半導体集積回路に対する電源電圧、テスト入力信号の供給と、テスト出力信号の取り出しが行われていた。

【0003】

一方、ボンデリングパッドを電源供給用パッドを接続し、ウエハテストにおける供給電源の精度向上を図った半導体集積回路も提案されている（例えば、特許文献1参照）。

【0004】

【特許文献1】特開昭63-260048号公報（第3頁、図3）

【発明の開示】

【発明が解決しようとする課題】

【0005】

近年、半導体集積回路を小型化するためにパッドも小型化しており、個々のパッドにプローブ針を接触させることが非常に困難になってきている。

【0006】

また、半導体集積回路の消費電力を低減するため、パッドに接続されている信号入出力回路の出力バッファの電流駆動能力も小さくなってきており、半導体集積回路のウエハテスト時に使用されるテスト治具の容量を高速に充放電できず正確なテストが実施できなくなっている。

【0007】

さらに、出力バッファの電流駆動能力が小さくなれば、一般に出力バッファの出力インピーダンスは高くなる。このためテスト治具と出力バッファのインピーダンス不整合がおり、これによっても正確なテストが実施できなくなっている。

【0008】

ウエハテストに使用するパッド自体を大きくすれば、パッドに対するプロービングに関する問題は解決するが、出力バッファの低電流駆動能力化に関する問題は解決できなかった。また、半導体集積回路の中には、設計・製造工期を短縮するために、パッドとそれに接続される信号入出力回路のレイアウトを固定し、配線を変更するだけで使用するパッドや信号入出力回路の選択を行うものもあるが、これらの半導体集積回路では大幅な設計変更になるパッドサイズの変更は事実上できなかった。

【0009】

特許文献1を応用し、単に複数のパッドを接続してプローブ針が接触できるパッド面積を大きくすればパッドに対するプロービングに関する問題は解決するが、この特許文献1でも出力バッファの低電流駆動能力化に関する問題は解決できなかった。

【0010】

一方、出力バッファの電流駆動能力とは別に、ウエハテストで不良となった半導体集積回路について、その不良が半導体集積回路の論理的な不良に起因するものか、または半導体集積回路とテスト装置との間の信号伝送の問題に起因する不良なのかを判定する判定テストが必要があるが、従来のこの信号伝送判定テストにはオシロスコープによる信号波形の観察が必要で、この信号伝送判定テストには多くの工数が必要であった。

【0011】

この発明は、前記パッドに対するプロービングの問題を解決し、併せて、前記出力バッファの電流駆動能力、および／または前記信号伝送判定テストの課題を同時に解決するこ

とのできる改良された半導体集積回路を提案するものである。

【課題を解決するための手段】

【0012】

この発明に係る第1の半導体集積回路は、半導体基板の一主面に配置された第1のパッド、前記一主面に前記第1のパッドに隣接して配置された第2のパッド、前記第1のパッドと第2のパッドとの間に配置されそれらを接続するパッド接続部、前記第1のパッドに接続された第1の入力バッファと第1の出力バッファとを有する第1の信号入出力回路、前記第2のパッドに接続された第2の入力バッファと、出力部が制御可能な出力インピーダンスを持ち前記第2のパッドに接続された第2の出力バッファとを有する第2の信号入出力回路、および前記第1の信号入出力回路と前記第2の信号入出力回路とに接続された入出力信号制御回路を備え、前記入出力信号制御回路が、前記第1の出力バッファの入力部に接続された第1のラッチ回路と、前記第2の入力バッファの出力部に接続された第2のラッチ回路と、前記第1の出力バッファの入力部と前記第2の出力バッファの入力部との間に接続された第1の制御スイッチを有するものである。

【0013】

また、この発明に係る別の第2の半導体集積回路は、半導体基板の一主面に配置された第1のパッド、前記一主面に前記第1のパッドに隣接して配置された第2のパッド、前記第1のパッドと第2のパッドとの間に配置されそれらを接続するパッド接続部、前記第1のパッドに接続された第1の入力バッファと第1の出力バッファとを有する第1の信号入出力回路、前記第2のパッドに接続された出力部が制御可能な出力インピーダンスを持つ第2の出力バッファを有する第2の信号入出力回路、および前記第1の信号入出力回路と前記第2の信号入出力回路とに接続された入出力信号制御回路を備え、前記入出力信号制御回路が、前記第1の出力バッファの入力部と前記第2の出力バッファの入力部との間に接続された第1の制御スイッチを有し、通常動作モードでは、前記出力インピーダンスを高インピーダンス、前記第1の制御スイッチをオフとした状態で、前記第1の出力バッファから出力信号を出力し、または前記第1の入力バッファから入力信号を入力し、またテストモードでは、前記出力インピーダンスを低インピーダンス、前記第1の制御スイッチをオンとした状態で、前記第1の出力バッファと第2の出力バッファから同時に同一論理の出力信号を出力するものである。

【0014】

また、この発明に係るさらに別の第3の半導体集積回路は、半導体基板の一主面に配置された第1のパッド、前記一主面に前記第1のパッドに隣接して配置された第2のパッド、前記第1のパッドと第2のパッドとの間に配置されそれらを接続するパッド接続部、前記第1のパッドに接続された第1の入力バッファと第1の出力バッファとを有する第1の信号入出力回路、前記第2のパッドに接続された第2の入力バッファを有する第2の信号入出力回路、および前記第1の信号入出力回路と前記第2の信号入出力回路とに接続された入出力信号制御回路を備え、前記入出力信号制御回路が、信号入力部が前記第1の出力バッファの入力部に接続された第1のラッチ回路と、信号入力部が前記第2の入力バッファの出力部に接続された第2のラッチ回路とを有し、通常動作モードでは、前記第1の出力バッファから出力信号を出力し、または前記第1の入力バッファから入力信号を入力し、またテストモードでは、前記第1の出力バッファに入力される信号を所定のタイミングで前記第1のラッチ回路にラッチさせるとともに、前記第2の入力バッファが出力する信号を前記所定のタイミングで前記第2のラッチ回路にラッチさせるものである。

【発明の効果】

【0015】

この発明に係る第1の半導体集積回路では、第1のパッドと第2のパッドをパッド接続部により接続することにより、パッドに対するプロービングを容易に行なうことができる。また前記第1の出力バッファから出力信号を出力し、または前記第1の入力バッファから入力信号を入力する通常モードに加え、前記出力インピーダンスを低インピーダンス、前記第1の制御スイッチをオンとした状態で、前記第1の出力バッファと第2の出力バッ

ファから同時に同一論理の出力信号を出力する第1のテストモードと、前記第1の出力バッファに入力される信号を所定のタイミングで前記第1のラッチ回路にラッチさせるとともに、前記第2の入力バッファが出力する信号を前記所定のタイミングで前記第2のラッチ回路にラッチさせる第2のテストモードを選択でき、第1のテストモードでは、出力バッファの電流駆動能力を向上し、また第2のテストモードでは、前記信号伝送判定テストを簡単に実施できる効果がある。

#### 【0016】

また、この発明の別の第2の半導体集積回路では、第1のパッドと第2のパッドをパッド接続部により接続することにより、パッドに対するプロービングを容易に行なうことができ、併せて、前記第1の出力バッファから出力信号を出力し、または前記第1の入力バッファから入力信号を入力する通常モードに加え、前記出力インピーダンスを低インピーダンス、前記第1の制御スイッチをオンとした状態で、前記第1の出力バッファと第2の出力バッファから同時に同一論理の出力信号を出力する第1のテストモードを採用して、出力バッファの電流駆動能力を向上できる効果がある。

#### 【0017】

また、この発明のさらに別の第3の半導体集積回路では、第1のパッドと第2のパッドをパッド接続部により接続することにより、パッドに対するプロービングを容易に行なうことができ、併せて、前記第1の出力バッファから出力信号を出力し、または前記第1の入力バッファから入力信号を入力する通常モードに加え、前記第1の出力バッファに入力される信号を所定のタイミングで前記第1のラッチ回路にラッチさせるとともに、前記第2の入力バッファが出力する信号を前記所定のタイミングで前記第2のラッチ回路にラッチさせる第2のテストモードを採用して、前記信号伝送判定テストを簡単に実施できる効果がある。

#### 【発明を実施するための最良の形態】

#### 【0018】

以下この発明のいくつかの実施の形態について、図面を参照して説明する。

#### 【0019】

##### 実施の形態1.

図1は、この発明の実施の形態1における半導体集積回路を示す平面図である。この図に示すように、本実施の形態の半導体集積回路1は、半導体基板7の一主面に形成されたアルミニウムや銅等の導電体からなるパッド2と、パッド2のうちウエハテストにおいてプローブ針（図示せず）が接触するテスト用パッド2tを構成する第1のパッド2aと第2のパッド2bを電氣的に接続する少なくとも主面がアルミニウムや銅等の導電体からなるパッド接続部9と、パッド2とアルミニウムや銅等の導電体からなる内部配線3によって電氣的に接続された信号入出力回路4と、信号入出力回路4のうち第1のパッド2aと接続された第1の信号入出力回路4aおよび第2のパッド2bと接続された第2の信号入出力回路2bと内部配線3で電氣的に接続された入出力信号制御回路5と、この入出力信号制御回路5と内部配線3で接続された内部回路6を備える。なお、この図においてパッド2、2a、2b、2c（後述）およびパッド接続部9以外の破線で示した部分は、半導体集積回路1を保護するために半導体基板7の一主面に形成された表面保護膜（図示せず）によって覆われている。

#### 【0020】

また、この内部回路6は半導体集積回路1の機能を実現する部分で、論理回路（図示せず）や記憶素子（図示せず）等で構成されている。さらに、パッド2cは半導体集積回路1に電源電圧を供給するための電源用パッドで、プローブ針が接触できる面積を拡大するため、従来技術に従い隣接するパッド2cをパッド接続部9で接続している。

#### 【0021】

図2（a）は、この発明の実施の形態1における半導体集積回路のテスト用パッド周辺部を拡大した平面図、および図2（b）はそのI-I断面図である。図2（b）に示す様に、第1のパッド2a、第2のパッド2bは、図1中の他のパッド2、2c同様、シリコ



ン等の半導体基板 7 上に形成された二酸化シリコン等の絶縁性材料からなる層間絶縁膜 8 上に形成され、その一主面を半導体装置 1 外部に露出している。

【0022】

また、パッド接続部 9 は、プローブ針との接触性を高めるため、図 2 (a) に示す様にその図上下方向の幅を、図上下方向に同じ幅を持つ第 1 のパッド 2 a と第 2 のパッド 2 b と同じにし、平面形状を第 1 のパッド 2 a と第 2 のパッド 2 b の間の部分を完全に埋める矩形としてある。さらに、その厚みを図 2 (b) に示す様に第 1 のパッド 2 a、第 2 のパッド 2 b と同じにしてある。なお、このパッド接続部 9 の主面はパッド 2、2 a、2 b、2 c 同様、半導体集積回路 1 の外部に露出している。また、パッド 2、2 a、2 b、2 c やパッド接続部 9 が形成されていない層間絶縁膜 8 上は、層間絶縁膜 8 上に形成された配線等（図示せず）を保護するための窒化シリコン等の絶縁性材料からなる表面保護膜 10 が形成されている。

【0023】

図 3 は、この発明の実施の形態 1 における第 1 の信号入出力回路、第 2 の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。この図 3 に示すように、第 1 の信号入出力回路 4 a は第 1 の入力バッファ 11 a、第 1 の出力バッファ 12 a を有し、この第 1 の入力バッファ 11 a と第 1 の出力バッファ 12 a はともに第 1 のパッド 2 a に接続される。第 2 の信号入出力回路 4 b は第 2 の入力バッファ 11 b と第 2 の出力バッファ 12 b を有し、この第 2 の入力バッファ 11 b と第 2 の出力バッファ 12 b は第 2 のパッド 2 b に接続される。

【0024】

なお、図 1 におけるその他のパッド 2 につながる信号入出力回路 4 も、第 1 の信号入出力回路 4 a、第 2 の信号入出力回路 4 b 同様、入力バッファ 11 と出力バッファ 12 を備える。

【0025】

さらに、半導体集積回路 1 は第 2 の出力バッファ 12 b の出力部に第 2 の制御スイッチ 13 を備え、第 2 の出力バッファ 12 b はこの第 2 の制御スイッチ 13 を介して第 2 のパッド 2 b および第 2 の入力バッファ 11 b の入力部に接続されている。この第 2 の制御スイッチ 13 は内部回路 6 から出力される制御信号 Control\_A によってその開閉が制御され、第 2 の出力バッファ 12 b の出力部の出力インピーダンスを低インピーダンスまたは高インピーダンスに制御する。ここで、低インピーダンスとは第 2 の出力バッファ 12 b が出力すべき信号を第 2 のパッド 2 b および第 2 の入力バッファ 11 b の入力部に出力可能な状態、すなわち第 2 の出力バッファ 12 b と、第 2 のパッド 2 b および第 2 の入力バッファ 11 b の入力部が電氣的に接続された状態を意味し、高インピーダンスとは第 2 の出力バッファ 12 b が出力すべき信号を第 2 のパッド 2 b および第 2 の入力バッファ 11 b の入力部に出力できない状態、すなわち第 2 の出力バッファ 12 b と、第 2 のパッド 2 b および第 2 の入力バッファ 11 b の入力部が電氣的に絶縁された状態を意味する。

【0026】

入出力信号制御回路 5 は、第 1 の入力バッファ 11 a が入力した信号を内部回路 6 へ入力信号 Input\_A として伝送する配線 21 を備える。また入出力信号制御回路 5 は、内部回路 6 の出力信号 Output\_A を第 1 の出力バッファ 12 a の入力部、入出力信号制御回路 5 内に形成した第 1 の制御スイッチ 23 の一端および第 1 のラッチ回路 25 の入力部とに伝送する配線 24 を備える。なお、配線 21、配線 24 はアルミニウムや銅等を材料とする導電体である。

【0027】

第 1 の制御スイッチ 23 の他端は第 2 の出力バッファ 12 b の入力部と接続されており、このスイッチ 23 は内部回路 6 内の Control\_B ピンから出力される制御信号によって開閉が制御される。

【0028】

第 1 のラッチ回路 25 の出力部は入出力信号制御回路 5 内に形成されたエクスクルーシ

ブオア (Exclusive-or) 回路で構成された比較回路 26 と接続されており、この第 1 のラッチ回路 25 は内部回路 6 内の Clock\_A ピンから出力される所定のタイミングを持つクロックに同期して信号入力部に入力された信号をラッチする。

#### 【0029】

入出力信号制御回路 5 は、さらに第 2 のラッチ回路 28 を備える。この第 2 のラッチ回路 28 は、入力部が第 2 の入力バッファ 11b の出力部と接続され、出力部が比較回路 26 と接続されており、この第 2 のラッチ回路 28 は内部回路 6 内の Clock\_A ピンから出力される所定のタイミングを持つクロックに同期して入力された信号をラッチする。

#### 【0030】

比較回路 26 は第 1 のラッチ回路 25、第 2 のラッチ回路 28 の出力の排他的論理和を演算し、その結果を内部回路 6 内の Output\_B ピンに出力する。

#### 【0031】

なお、制御スイッチ 13、23 はトランジスタ等で構成することができ、本実施の形態の半導体集積回路では、これらの制御スイッチ 13、23 は N チャンネル MOS トランジスタで構成されている。

#### 【0032】

次にこの半導体集積回路 1 のウエハテスト方法を図 4 を用いて説明する。ウエハテストでは半導体集積回路 1 と外部のテスト装置（図示せず）の信号入出力を行うためプローブ針 31 をテスト用パッド 2t、電源用パッド 2c に接触させる必要がある。本実施の形態の半導体集積回路 1 では、第 1 のパッド 2a と第 2 のパッド 2b をパッド接続部 9 で接続したものをテスト用パッド 2t としているため、プローブ針 31 が接触できる面積が広く、安定してプローブ針 31 がテスト用パッド 2t に接触できる。

#### 【0033】

また、本実施の形態の半導体集積回路 1 では、予めレイアウトされたパッド 2、2a、2b をパッド接続部 9 で接続することでパッドの面積拡大を図っているので、工数のかかるパッドの新規設計が不要である。

#### 【0034】

次に各種動作モードにおける半導体集積回路の動作を図 3 および図 5 により説明する。図 5 は半導体集積回路 1 の各動作モードにおいて図 3 に示した Control\_A ピン、Control\_B ピンから出力される信号の論理値（0 はローレベルの電圧信号出力、1 はハイレベルの電圧信号出力）、および、Clock\_A ピンから出力されるクロックの有無（1 はクロック出力、0 はクロックを出力しない）を示す。

#### 【0035】

なお、この図に記載した通常動作モードでは、半導体集積回路 1 は実使用状態における動作を行い、第 1 のテストモード、第 2 のテストモードでは、半導体集積回路 1 はテスト用の動作を行う。

#### 【0036】

まず、通常動作モードについて説明する。半導体集積回路 1 が通常動作モードの場合、テスト用パッド 2t は他のパッド 2 同様に半導体集積回路 1 の通常動作に必要な信号入出力のために使用される。

#### 【0037】

通常動作モードでテスト用パッド 2t が出力パッドとして働く場合、Control\_A、Control\_B ピンからは 0 が出力され、第 1 の制御スイッチ 23、第 2 の制御スイッチ 13 は N チャンネル MOS トランジスタで構成されているので開状態となる。そのため内部回路 6 内の Output\_A ピンから出力された信号は第 1 の出力バッファ 12a で増幅され、テスト用パッド 2t を経由し、テスト用パッド 2t に接続された外部装置（図示せず）に出力される。

#### 【0038】

通常動作モードでテスト用パッド 2t が入力パッドとして働く場合も、Control\_A、Control\_B ピンからは 0 が出力されるので、第 1 の制御スイッチ 23、第 2 の制御スイッチ 1

3は開状態となる。そのため外部装置（図示せず）の信号は、テスト用パッド2 t、および第1の入力バッファ1 1 aを経由し、内部回路6に送られる。

#### 【0039】

パッド面積拡大のためにパッド2 a、2 bを単にパッド接続部9で接続すると、第1のパッド2 aは、第2のパッド2 bつながる第2の信号入出力回路4 bの影響を受けることになる。すなわち、第2の出力バッファ1 2 bの出力電圧が第2のパッド2 bに出力され、それにつながる第1のパッド2 aに入出力される信号に影響を与える。これは第2の出力バッファ1 2 bを第2のパッド2 bに接続しなければ防ぐことができるが、そうすると既存の第2の出力バッファ1 2 bが全く機能せず無駄になってしまう。

#### 【0040】

本実施の形態では、上記のとおり第2の制御スイッチ1 3により第2の出力バッファ1 2 bを第2のパッド2 bから電氣的に切り離すことができる、すなわち第2の出力バッファ1 2 bの出力部を高インピーダンスにできるので、通常動作時において第1のパッド2 aが第2の出力バッファ1 2 bの影響を受けないようにすることができる。一方、第2の制御スイッチ1 3により第2の出力バッファ1 2 bを第2のパッド2 bと電氣的に接続することもできるので、後述の様に第2の出力バッファ1 2 bをテスト容易化のために活用することができる。

#### 【0041】

なお、Output\_Aピンから出力される信号は第1のラッチ回路2 5の入力部にも伝送されるが、第1のラッチ回路2 5にはクロックClock\_Aが入力されないので、第1のラッチ回路2 5がその信号をラッチすることは無く、半導体集積回路1の動作には全く影響を与えない。

#### 【0042】

次に第1のテストモードにおける動作について説明する。半導体集積回路1が第1のテストモードで、テスト用パッド2 tが信号出力用として使用される場合、Control\_Aピン、Control\_Bピンから1が出力されるので、第1の制御スイッチ2 3、第2の制御スイッチ1 3が閉状態となり、第2の出力バッファ1 2 bの出力部は低インピーダンス状態になる。そして内部回路6内のOutput\_Aピンから出力された信号は、第1の出力バッファ1 2 aと第2の出力バッファ1 2 bに同時に送られ、第1の出力バッファ1 2 aと第2の出力バッファ1 2 bは同時に同一論理の信号を出力する。この結果、テスト治具（図示せず）はこれら2つの出力バッファ1 2 a、1 2 bにより同時に駆動されることになる。

#### 【0043】

半導体集積回路のウエハテストでは、半導体集積回路とテスト装置との間に容量の大きいテスト治具が介在するため、半導体集積回路はウエハテスト時に通常動作時以上の容量を充放電しなければならない。半導体集積回路の出力バッファは通常動作を想定して設計されており、テスト治具の容量が大きいと所定のタイミングでこの容量を充放電できず、通常動作では問題無い半導体集積回路がウエハテストにおいて不良品として判定される問題があった。

#### 【0044】

従来はこの問題を防ぐために多大な工数と費用をかけてテスト治具の改良をおこなっていた。しかし、本実施の形態の半導体集積回路1によれば、テスト時に第2のパッド2 bに接続された第2の出力バッファ1 2 bを利用してテスト時のみテスト用パッド2 tの駆動能力をあげることができるのでテスト治具の改良無しに上記問題を解決することができる。

#### 【0045】

また、第1のテストモードにおいてテストパッド2 tが信号入力用に使用される場合は、通常動作モード同様制御スイッチ1 3、2 3を開状態にすることにより、テストパッド2 tを第2の出力バッファ1 2 bの影響を受けないプローブ針が接触できる面積の広いパッドとして使用できる。

#### 【0046】

次に第2のテストモードにおける動作について説明する。このテストモードを使えば、信号伝送判定テストを簡単に行うことができる。この信号伝送判定テストは、半導体集積回路がウエハテストで不良となった場合、それが半導体集積回路の論理的な不良か、半導体集積回路とテスト装置との間の信号伝送の問題による不良かを判定する。

【0047】

テスト用パッド2tが信号出力時、Control\_Aピン、Control\_Bピンから0を出力すると、第1の制御スイッチ23、第2の制御スイッチ13が開状態になる。これにより、Output\_Aから出力された信号は第1の出力バッファ12aに送られるとともに、第1のラッチ回路25の入力部に送られ、Clock\_Aピンから出力されたクロックによって所定のタイミングでラッチされる。

【0048】

一方、第1の出力バッファ12aから出力されたOutput\_Aピンからの信号は、第1のパッド2a、テスト治具等からなる伝送線路50を経由してテスト装置51の入力端（以下C点と称する）に送られるとともに、パッド接続部9、第2のテスト用パッド2b、第2の入力バッファ11bを経由して第2のラッチ回路28の入力部に送られ、Clock\_Aピンから出力されたクロックによって第1のラッチ回路25が入力信号をラッチするのと同じ所定のタイミングでラッチされる。

【0049】

この第2のラッチ回路28にラッチされた信号は、第1の出力バッファ12aによって出力された電圧と、それが高入力インピーダンスのC点で反射されて戻ってきた電圧とが重畳されたもので、ほぼC点におけるOutput\_Aピンの波形に相当する。よって第1のラッチ回路25によってラッチされた伝送線路50の影響を受けていない信号と、第2のラッチ回路28によってラッチされた伝送線路50の影響を受けた信号を比較回路26で比較すれば、伝送線路50による信号の劣化の有無が簡単に判定できる。

【0050】

すなわち、比較回路26の出力が第1のラッチ回路25の出力と第2のラッチ回路28の出力が同一であることを表す0ならば、ラッチしたタイミングでは所定電圧レベルの信号がC点に転送されていることを意味し、比較回路26の出力が1ならば、ラッチしたタイミングでは所定の電圧レベルの信号がC点に転送されていないことを意味する。

【0051】

この第2のテストモードを、図3、図6を用いてより具体的に説明する。図6(a)は第1の出力バッファ12aの出力インピーダンス(Rout)が伝送線路50のインピーダンス(Z)より大きく、その差が小さい場合、図6(b)は第1の出力バッファ12aの出力インピーダンス(Rout)が伝送線路50のインピーダンス(Z)より大きく、その差が大きい場合で、Input\_A、Clock\_Aはそれぞれ内部回路6内のInput\_Aピン、Clock\_Aピンから出力される信号の波形、A点、B点、C点は図3に記載したA、BおよびCにおける波形、Output\_Bは比較回路26の出力波形である。

【0052】

第1の出力バッファ12aの出力インピーダンス(Rout)が伝送線路50のインピーダンス(Z)より大きく、その差が小さい図6(a)の場合、C点に伝送されるInput\_Aの波形は階段状になるが、短時間で最高電圧値に達する。よって、Input\_Aの波形が、C点に記載したストロブポイントのタイミングにC点に記載した判定電圧に達しているかどうかを判定するテストでは良品となる。

【0053】

一方、第1の出力バッファ12aの出力インピーダンス(Rout)が伝送線路50のインピーダンス(Z)より大きく、その差が大きい図6(b)の場合、C点に伝送されるInput\_Aの波形はゆるやかな階段状になり、最高電圧値に達するのに時間がかかる。このため、Input\_Aの波形が、C点に記載したストロブポイントのタイミングにC点に記載した判定電圧に達しているかどうかを判定するテストでは不良品となる。

【0054】

本実施の形態の半導体集積回路 1 では、Input\_A ピンの信号波形とほぼ同一のタイミングで同じ電圧値になる A 点の波形と、伝送線路 50 の長さの信号伝送時間分遅れて C 点とほぼ同じ電圧値になる B 点の波形を clock\_A のタイミングで比較できるので、ウエハテストのストロブポイントおよび伝送線路 50 上の信号伝送遅延時間等を考慮して Clock\_A のタイミングおよび判定電圧を決め、Output\_B ピンへ出力される信号を調べることで Input\_A の波形がテストの判定時 C 点に正確に伝送されているかどうかを調べることができる。

#### 【0055】

従来、伝送波形の問題を調べるためには伝送波形をオシロスコープ等で観測する必要があり、多くの工数がかかっていた。また、この波形観測においてはテスト中の半導体装置のパッドに波形観測用のプローブ針を接触させなければならないが、半導体装置には既にテスト用プローブ針が接触されており、そのパッドに波形観測用のプローブ針を接触させることは非常に困難であった。しかし、本実施の形態の半導体集積回路によれば、上記のように簡単に伝送線路の問題による不良を特定することができる。

#### 【0056】

また、第 2 のテストモードにおいても、テストパッド 2 t が信号入力用に使用される場合は、通常動作モード同様第 1 の制御スイッチ 23、第 2 の制御スイッチ 13 を開状態にすることにより、テストパッド 2 t を第 2 の出力バッファ 12 b の影響を受けないプローブ針が接触できる面積の広いパッドとして使用できる。

#### 【0057】

なお、本実施の形態の半導体集積回路 1 では Control\_A、Control\_B や Clock\_A を内部回路 6 で生成しているが、これらを半導体集積回路 1 の外部から直接与えても構わない。こうすれば、各信号を半導体集積回路 1 の外部から容易に設定できるようになる。

#### 【0058】

また、比較回路 26 の出力を内部回路 6 内の Output\_B ピンに接続しているが、これを半導体集積回路 1 の外部に直接出力させても構わない。こうすれば、比較回路 26 の比較結果を半導体集積回路 1 の外部から容易に観測できる。さらに比較回路 26 を省略し、第 1 のラッチ回路 25 および第 2 のラッチ回路 28 の出力信号を半導体集積回路 1 の外部のテスト等で直接比較しても構わない。

#### 【0059】

また、半導体集積回路が通常動作モード、テストモードの両方においてテスト用パッドを入力パッドとして使用する必要が無い場合は、半導体集積回路に予めレイアウトされている入力バッファの無い信号入出力回路およびそれに接続されたパッドを第 1 の信号入出力回路および第 1 のパッドとして利用可能である。

#### 【0060】

実施の形態 2.

図 7 は、この発明の実施の形態 2 における半導体集積回路の第 1 の信号入出力回路、第 2 の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。本実施の形態 2 の半導体集積回路は、図 3 における第 2 の制御スイッチ 13 を省略し、第 2 の出力バッファ 12 b を Control\_A ピンから出力される信号で出力部のインピーダンスが制御されるトライステートバッファ 41 に変更した点だけで、その他の部分は全て実施の形態 1 の半導体集積回路 1 と同一である。そのため同一の部分には同じ符号を付し、その説明は省略する。なお、トライステートバッファは、通常のハイ、ロウ 2 種類の電圧出力に加え、出力部を高インピーダンス状態にする機能を持った出力バッファである。

#### 【0061】

本実施の形態の半導体集積回路の場合、Control\_A ピンから出力される信号でトライステートバッファ 41 の出力部を高インピーダンス状態にすれば、実施の形態 1 における第 2 の制御スイッチ 13 を開にした場合と同じ状態に半導体集積回路を設定することができる。また、Control\_A ピンから出力される信号でトライステートバッファ 41 の出力部をハイまたはロウ電圧が出力可能な状態（低インピーダンス状態）にすれば、実施の形態 1

における第2の制御スイッチ13を閉にした場合と同じ状態に半導体集積回路を設定することができる。よって信号入出力部の出力バッファがトライステートバッファである半導体集積回路に対しては本構成にすることにより、実施の形態1と同じ効果を得ることができるとともにテスト容易化実現に必要な素子を削減できる。

#### 【0062】

実施の形態3.

図8はこの発明の実施の形態3における半導体集積回路のパッド周辺部を示す平面図である。本実施の形態3の半導体集積回路は、図2に示すパッド接続部9の形状を変更しただけでその他の部分は全て実施の形態1と同一である。そのため同一の部分には同じ符号を付し、その説明は省略する。

#### 【0063】

実施の形態1の半導体集積回路はプローブ針のコンタクト性をより高めるため、平面形状を図2(a)に示す様に第1のパッド2aと第2のパッド2bとの間の部分を完全に埋める矩形とし、その厚みを図2(b)に示す様に第1のパッド2a、第2のパッド2bと同じにしてある。しかし、パッド接続部9は、プローブ針が接触できるパッド面積を増やし、パッド2aとパッド2bを電氣的に接続する機能があれば良いので、図8(a)に示す様にパッド接続部9の図中上下方向の幅をパッド2a、2bより狭くしても構わない。

#### 【0064】

この実施の形態3においても図8(b)に示すようにプローブ針31が接触できる面積が第1のパッド2a単独の場合より広がっており、さらに第1のパッド2aと第2のパッド2bが電氣的に接続されているので、実施の形態1と同じ効果を得ることができる。

#### 【0065】

実施の形態4.

図9は、この発明の実施の形態4における半導体集積回路の第1の信号入出力回路104a、第2の信号入出力回路104bおよび入出力信号制御回路105を詳細に説明するブロック図である。本実施の形態4の半導体集積回路の第1の信号入出力回路104a、第2の信号入出力回路104bおよび入出力信号制御回路105は、実施の形態1の半導体集積回路における第1の信号入出力回路4a、第2の信号入出力回路4b、入出力信号制御回路5のそれぞれ一部を用いるもので、その他の部分は全て実施の形態1と同一である。そのため同一の部分には同じ符号を付し、その説明は省略する。

#### 【0066】

図9に示すように、第1の信号入出力回路104aは第1の出力バッファ12aを、第2の信号入出力回路104bは第2の出力バッファ12bを備える。さらに、第2の出力バッファ12bの出力部には第2の制御スイッチ13を備え、第2の出力バッファ12bはこの第2の制御スイッチ13を介して第2のパッド2bに接続されている。この第2の制御スイッチ13は内部回路6から出力される制御信号Control\_Aによってその開閉が制御され、第2の出力バッファ12bの出力部の出力インピーダンスを高インピーダンスまたは低インピーダンスに制御する。

#### 【0067】

入出力信号制御回路105は、内部回路6の出力信号Output\_Aを第1の出力バッファ12aの入力部と、入出力信号制御回路105内に形成した第1の制御スイッチ23の一端に伝送する配線24を備える。

#### 【0068】

第1の制御スイッチ23の他端は第2の出力バッファ12bの入力部と接続されており、この第1の制御スイッチ23は内部回路6内のControl\_Bピンから出力される制御信号によって開閉が制御される。

#### 【0069】

次に各種動作モードにおける半導体集積回路の動作を図5および図9により説明する。まず半導体集積回路1が通常動作モードの場合、Control\_A、Control\_Bピンからは0が出力されるので、第1の制御スイッチ23、第2の制御スイッチ13は開状態となる。その

ため内部回路 6 内の Output\_A ピンから出力された信号は第 1 の出力バッファ 12 a で増幅され、テスト用パッド 2 t から出力される。

【0070】

この様に本実施の形態 4 の半導体集積回路も実施の形態 1 と同様、通常動作モードにおいてテスト用パッドを通常の信号出力用パッドとして使用することができる。

【0071】

次に半導体集積回路が第 1 のテストモードで、テスト用パッド 2 t がテスト用信号出力ピンとして使用される場合、Control\_A ピン、Control\_B ピンから 1 が出力されるので、第 1 の制御スイッチ 23、第 2 の制御スイッチ 13 が閉状態となり、第 2 の出力バッファ 12 b の出力部は低インピーダンス状態になる。このため内部回路 6 内の Output\_A ピンから出力された信号は、第 1 の出力バッファ 12 a と第 2 の出力バッファ 12 b に同時に送られ、第 1 の出力バッファ 12 a と第 2 の出力バッファ 12 b が同時に同一論理の信号を出力する。この結果、テスト治具（図示せず）はこれら 2 つの出力バッファ 12 a、12 b により同時に駆動されることになる。

【0072】

この様に本実施の形態 4 の半導体集積回路も実施の形態 1 と同様、ウエハテスト時にテスト用パッド 2 t の電流駆動能力をあげることができるので、出力バッファの電流駆動能力に起因するテストの問題を解決することができる。さらに、テスト用パッド 2 t はパッド 2 a、2 b をパッド接続部 9 で接続した構造であるので、ウエハテスト時、プローブ針を安定してテストパッドに接触させることができる。

【0073】

実施の形態 5

図 10 は、この発明の実施の形態 5 における半導体集積回路の第 1 の信号入出力回路 204 a、第 2 の信号入出力回路 204 b および入出力信号制御回路 205 を詳細に説明するブロック図である。本実施の形態 5 の半導体集積回路の第 1 の信号入出力回路 204 a、第 2 の信号入出力回路 204 b および入出力信号制御回路 205 は実施の形態 1 における第 1 の信号入出力回路 4 a、第 2 の信号入出力回路 4 b、入出力信号制御回路 5 のそれぞれ一部を用いたもので、その他の部分は全て実施の形態 1 と同一である。そのため同一の部分には同じ符号を付し、その説明は省略する。

【0074】

図 10 に示すように、第 1 の信号入出力回路 204 a は第 1 の出力バッファ 12 a を、第 2 の信号入出力回路 204 b は第 2 の入力バッファ 11 b を備える。

【0075】

入出力信号制御回路 205 は、内部回路 6 の出力信号 Output\_A を第 1 の出力バッファ 12 a と、入出力信号制御回路 205 内に形成した第 1 のラッチ回路 25 の入力部とに伝送する配線 24 を備える。

【0076】

第 1 のラッチ回路 25 の出力部は入出力信号制御回路 205 内に形成された比較回路 26 と接続されており、この第 1 のラッチ回路 25 は内部回路 6 内の Clock\_A ピンから出力される所定のタイミングを持つクロックに同期して入力部に入力された信号をラッチする。

【0077】

入出力信号制御回路 5 は、さらに第 2 のラッチ回路 28 を備える。この第 2 のラッチ回路 28 は、入力部が第 2 の入力バッファ 11 b の出力部と接続され、出力部が比較回路 26 と接続されており、この第 2 のラッチ回路 28 は内部回路 6 内の Clock\_A ピンから出力されるクロックによって第 1 のラッチ回路 25 が入力信号をラッチするのと同じ所定のタイミングで入力信号をラッチする。

【0078】

比較回路 26 は第 1 のラッチ回路 25、第 2 のラッチ回路 28 の出力の排他的論理和を演算し、その結果を内部回路 6 内の Output\_B ピンに出力する。



**【0079】**

次に各種動作モードにおける半導体集積回路の動作を図5および図10により説明する。まず半導体集積回路1が通常動作モードの場合、内部回路6内のOutput\_Aピンから出力された信号は第1の出力バッファ12aで増幅され、テスト用パッド2tから出力される。

**【0080】**

この様に本実施の形態5の半導体集積回路も実施の形態1と同様、通常動作モードにおいてテスト用パッドを通常の信号出力用パッドとして使用することができる。

**【0081】**

次にテストモードにおける動作について説明する。このテストモードは実施の形態1の第2のテストモードに相当するもので、テスト用パッド2tが信号出力時、Output\_Aから出力された信号は第1の出力バッファ12aに送られるとともに、第1のラッチ回路25の入力部に送られ、Clock\_Aピンから出力されたクロックによって所定のタイミングでラッチされる。

**【0082】**

一方、第1の出力バッファ12aから出力されたOutput\_Aピンからの信号は、第1のパッド2a、テスト治具等からなる伝送線路50を経由してテスト装置51の入力端（以下C点と称する）に送られるとともに、パッド接続部9、第2のテスト用パッド2b、第2の入力バッファ11bを経由して第2のラッチ回路28の入力部に送られ、Clock\_Aピンから出力されたクロックによって所定のタイミングでラッチされる。

**【0083】**

この第1のラッチ回路25、第2のラッチ回路28によってラッチされた信号を比較回路26で比較すれば、実施の形態1と同様、転送線路における信号の劣化の有無が判定できる。さらに、テスト用パッド2tはパッド2a、2bをパッド接続部9で接続した構造であるので、ウエハテスト時、プローブ針を安定してテストパッドに接触させることができる。

**【産業上の利用可能性】****【0084】**

この発明は半導体集積回路に利用され、そのテストを容易化するのに有効である。

**【図面の簡単な説明】****【0085】**

【図1】この発明の実施の形態1における半導体集積回路を示す平面図である。

【図2】この発明の実施の形態1における半導体集積回路のテスト用パッド周辺部を示す平面図、および断面図である。

【図3】この発明の実施の形態1における第1の信号入出力回路、第2の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。

【図4】この発明の実施の形態1における半導体集積回路にプローブ針を接触させた図である。

【図5】この発明の実施の形態1における半導体集積回路の各部に入力される制御信号、およびクロックの論理値を示す図である。

【図6】この発明の実施の形態1における半導体集積回路のテスト時の動作に関連する各種信号のタイミングチャートを示す図である。

【図7】この発明の実施の形態2における第1の信号入出力回路、第2の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。

【図8】この発明の実施の形態3における半導体集積回路のテスト用パッド周辺部を示す平面図である。

【図9】この発明の実施の形態4における第1の信号入出力回路、第2の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。

【図10】この発明の実施の形態5における第1の信号入出力回路、第2の信号入出力回路および入出力信号制御回路を詳細に示すブロック図である。



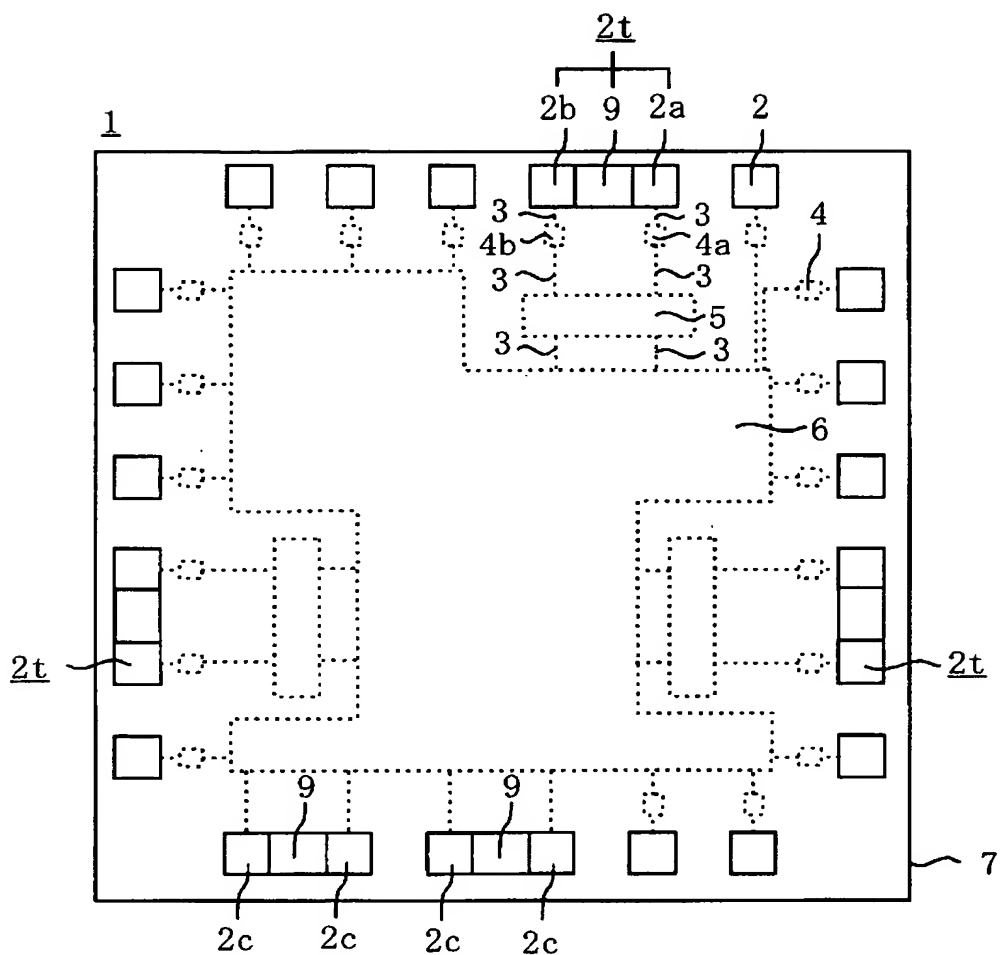
## 【符号の説明】

## 【0086】

1 半導体装置、2 a 第1のパッド、2 b 第2のパッド、4 a 第1の信号入出力回路、  
4 b 第2の信号入出力回路、5 入出力信号制御回路、7 半導体基板、9 パッド  
接続部、  
11 a 第1の入力バッファ、11 b 第2の入力バッファ、12 a 第1の出力バッ  
ファ、  
12 b 第2の出力バッファ、13 第2の制御スイッチ、23 第1の制御スイッチ  
、  
25 第1のラッチ回路、26 比較回路、28 第2のラッチ回路、  
41 トライステートバッファ、104 a 第1の信号入出力回路、  
104 b 第2の信号入出力回路、105 入出力信号制御回路、  
204 a 第1の信号入出力回路、204 b 第2の信号入出力回路、  
205 入出力信号制御回路。

【書類名】図面

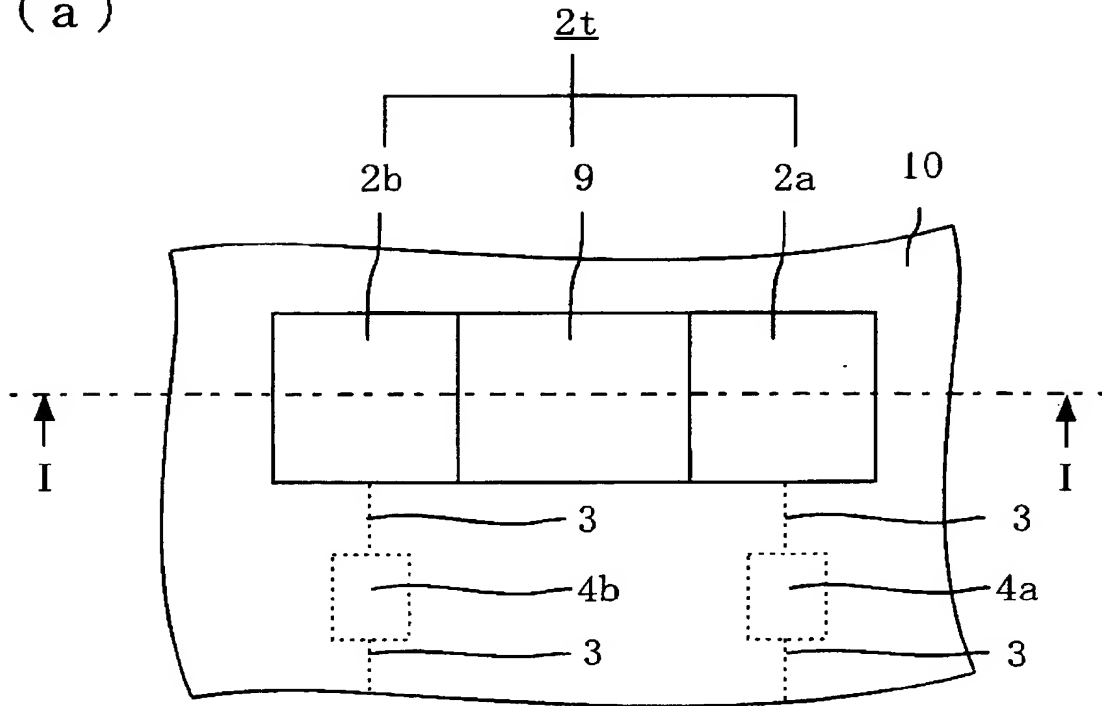
【図 1】



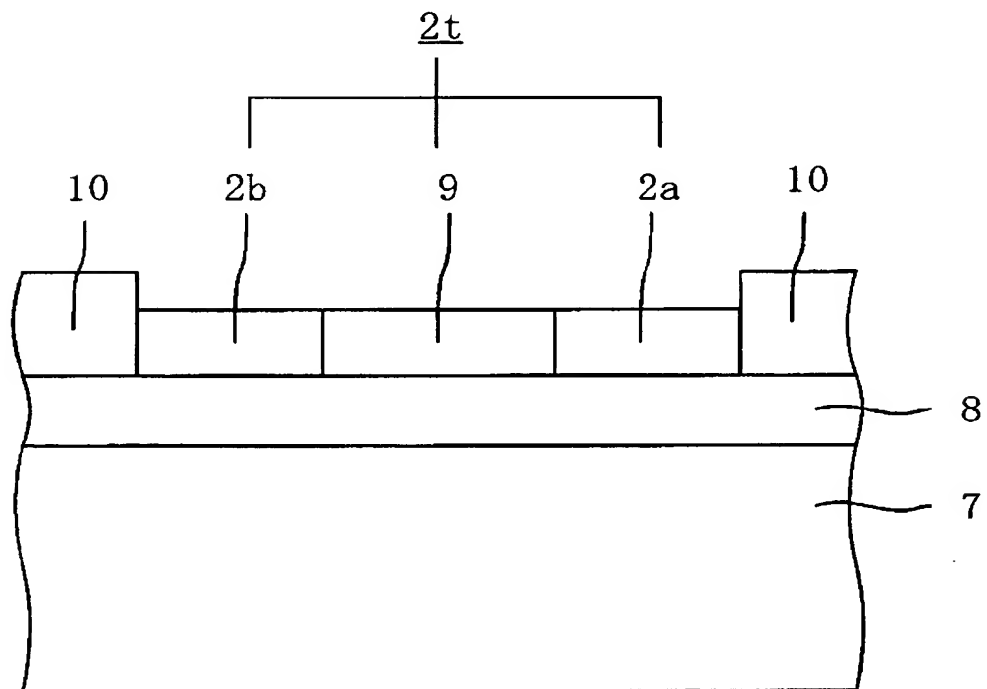
- |     |              |
|-----|--------------|
| 1   | 半導体装置        |
| 2 a | 第 1 のパッド     |
| 2 b | 第 2 のパッド     |
| 4 a | 第 1 の信号入出力回路 |
| 4 b | 第 2 の信号入出力回路 |
| 5   | 入出力信号制御回路    |
| 7   | 半導体基板        |
| 9   | パッド接続部       |

【図 2】

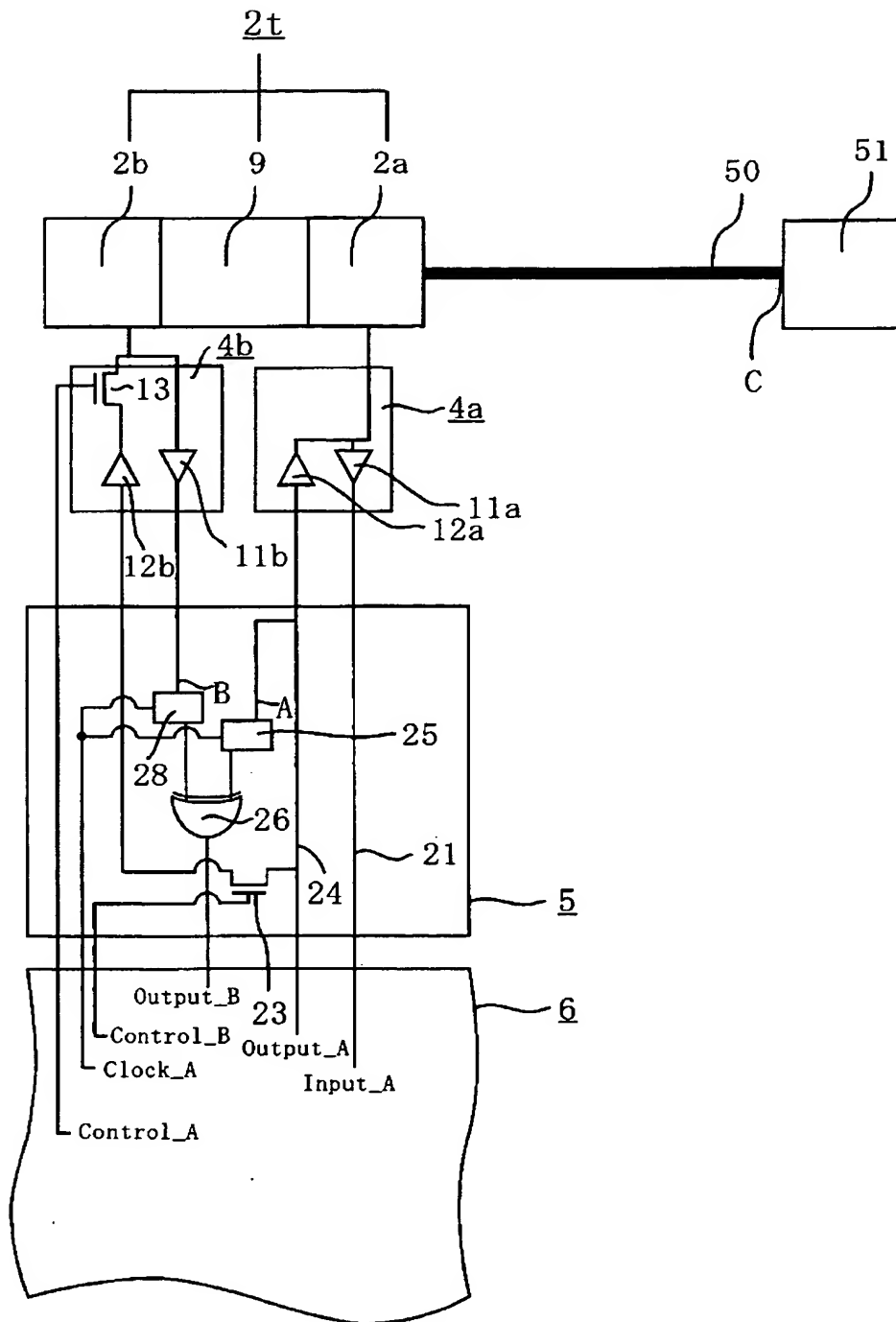
(a)



(b)

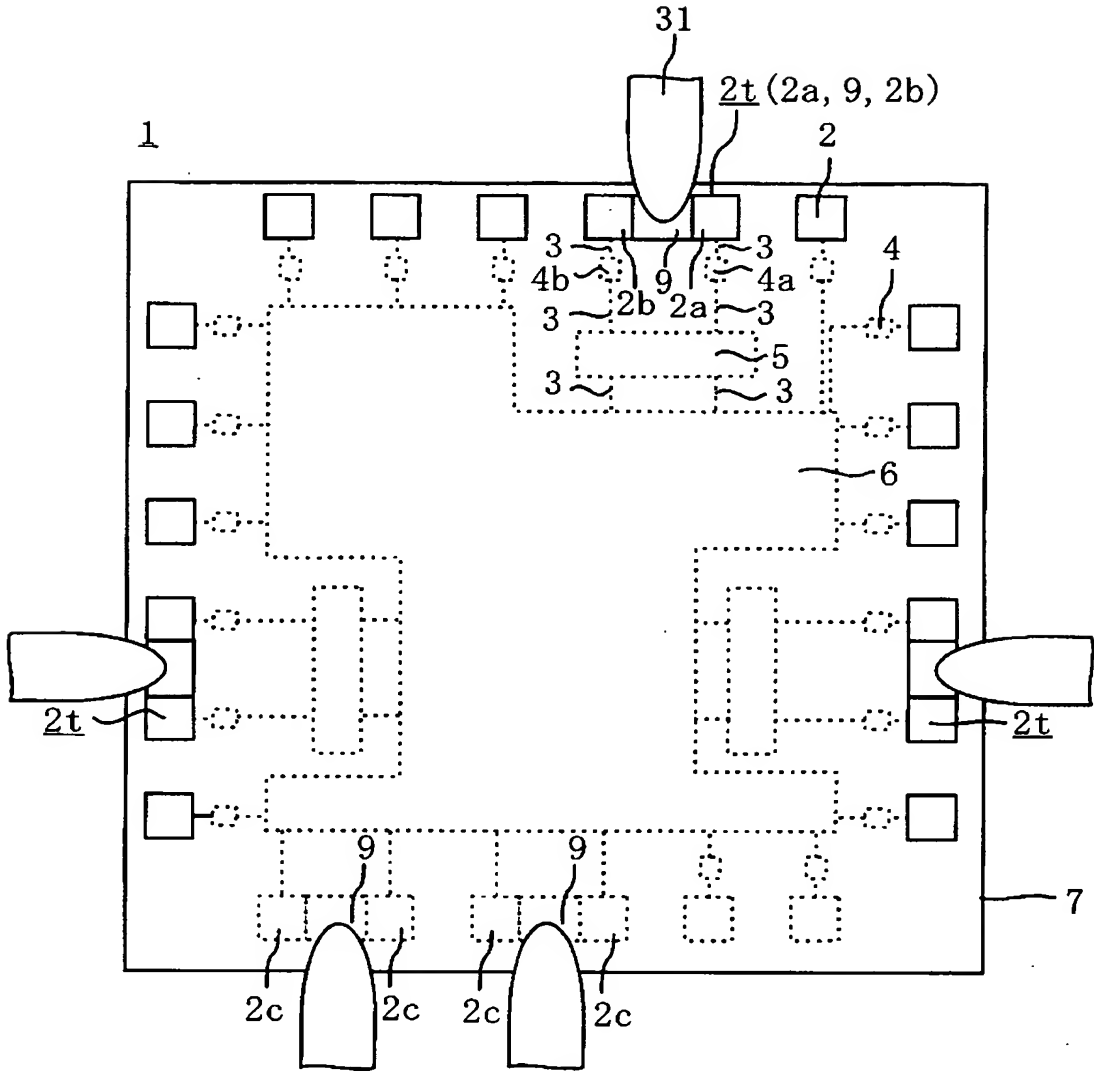


【図 3】



11a, 11b	入力バッファ
12a, 12b	出力バッファ
13	第2の制御スイッチ
23	第1の制御スイッチ
25	第1のラッチ回路
28	第2のラッチ回路
26	比較回路

【図 4】

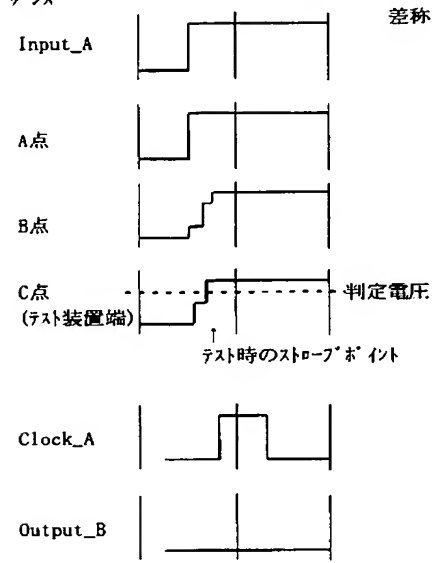


【図 5】

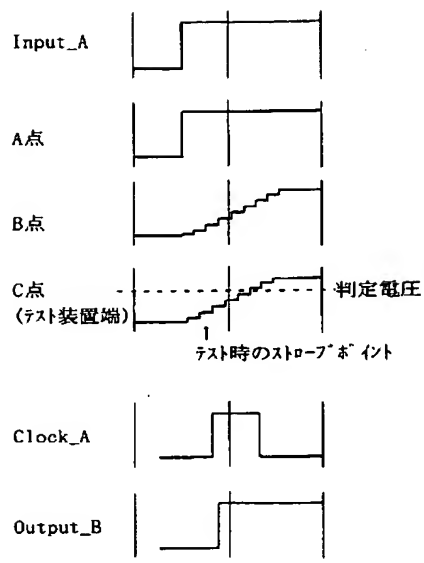
動作モード	信号ピン名		Control_A	Control_B	Clock_A
	テスト用パッドの入出力状態				
通常動作モード	入力		0	0	0
	出力		0	0	0
第1のテストモード	入力		0	0	0
	出力		1	1	0
第2のテストモード	入力		0	0	0
	出力		0	0	1

【図 6】

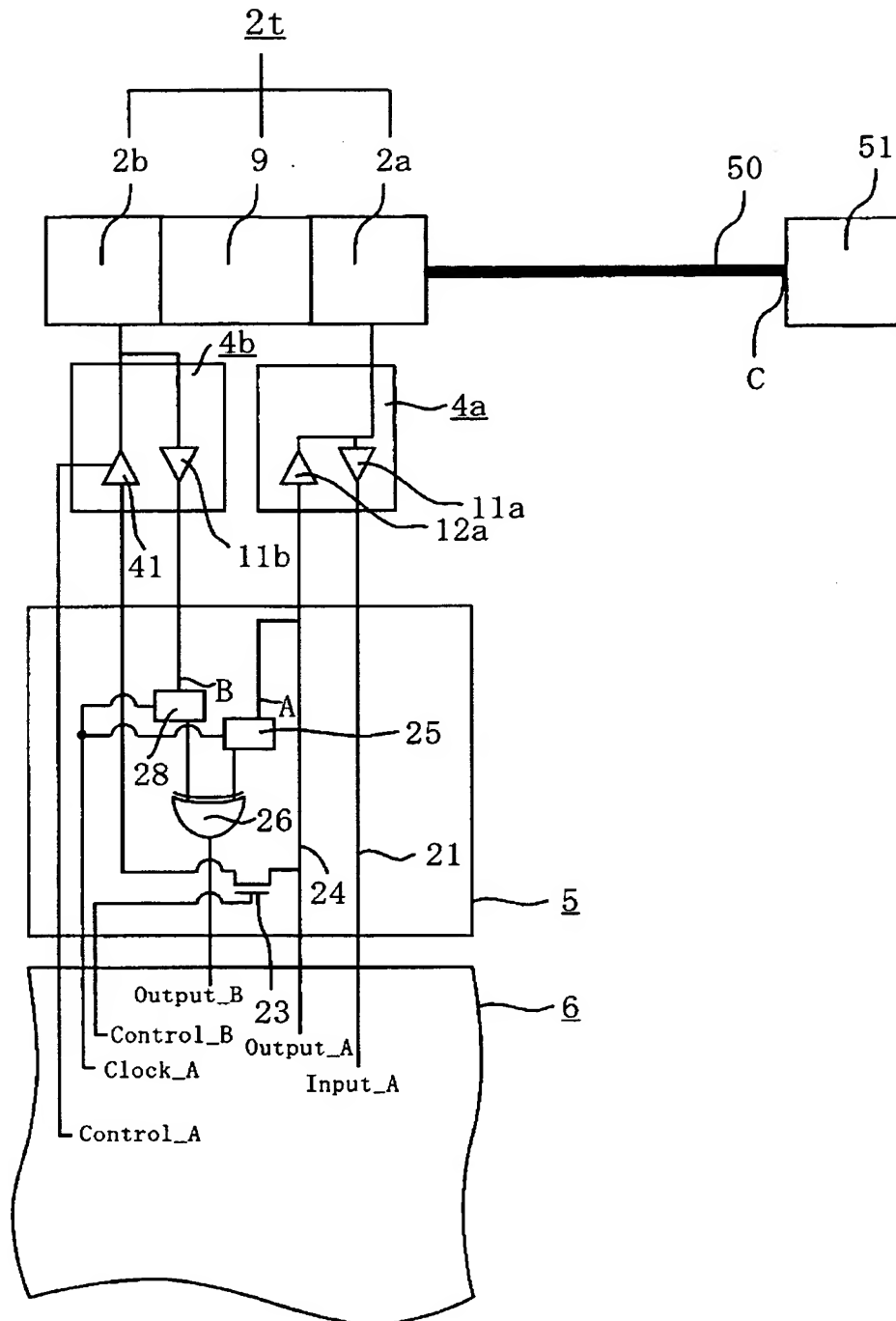
(a) 出力インバータ>伝送線のインバータ



(b)



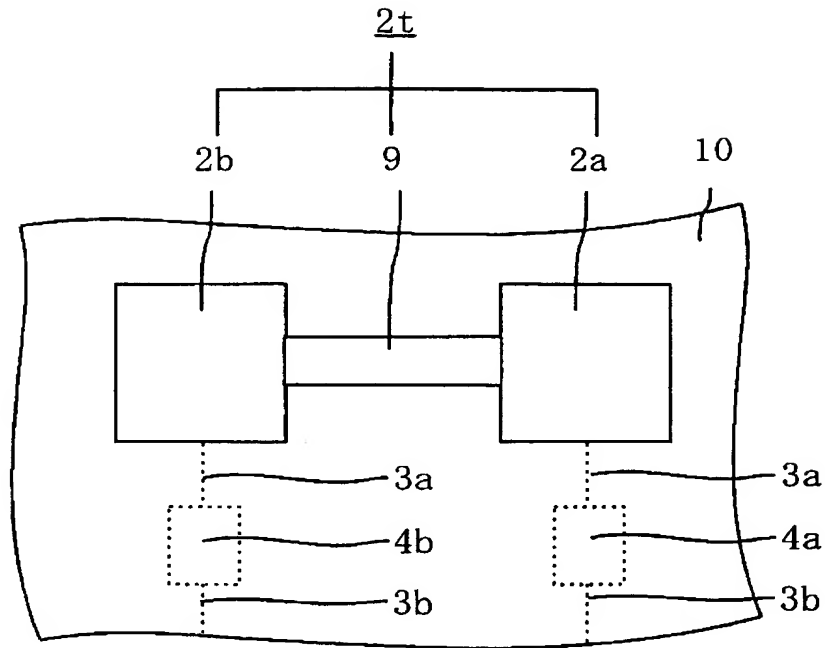
【図 7】



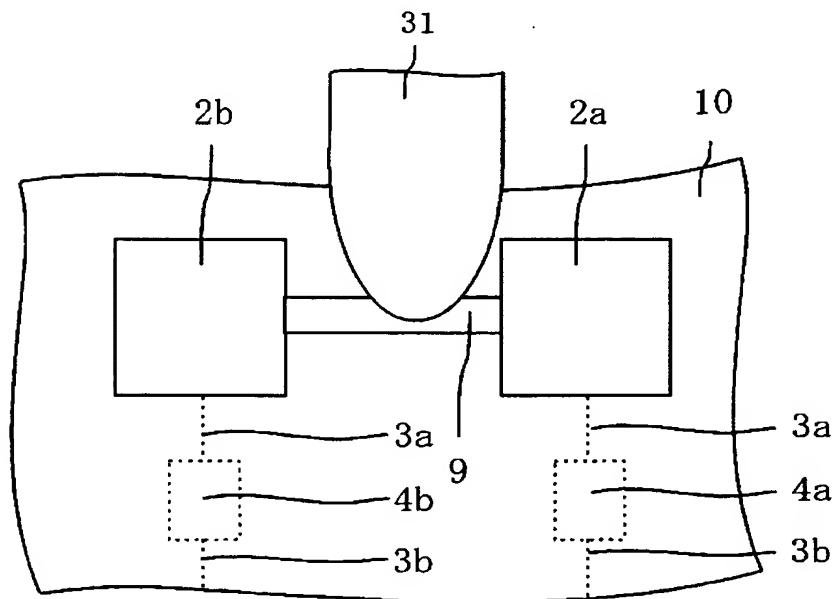
41 トライステートバッファ

【図 8】

(a)

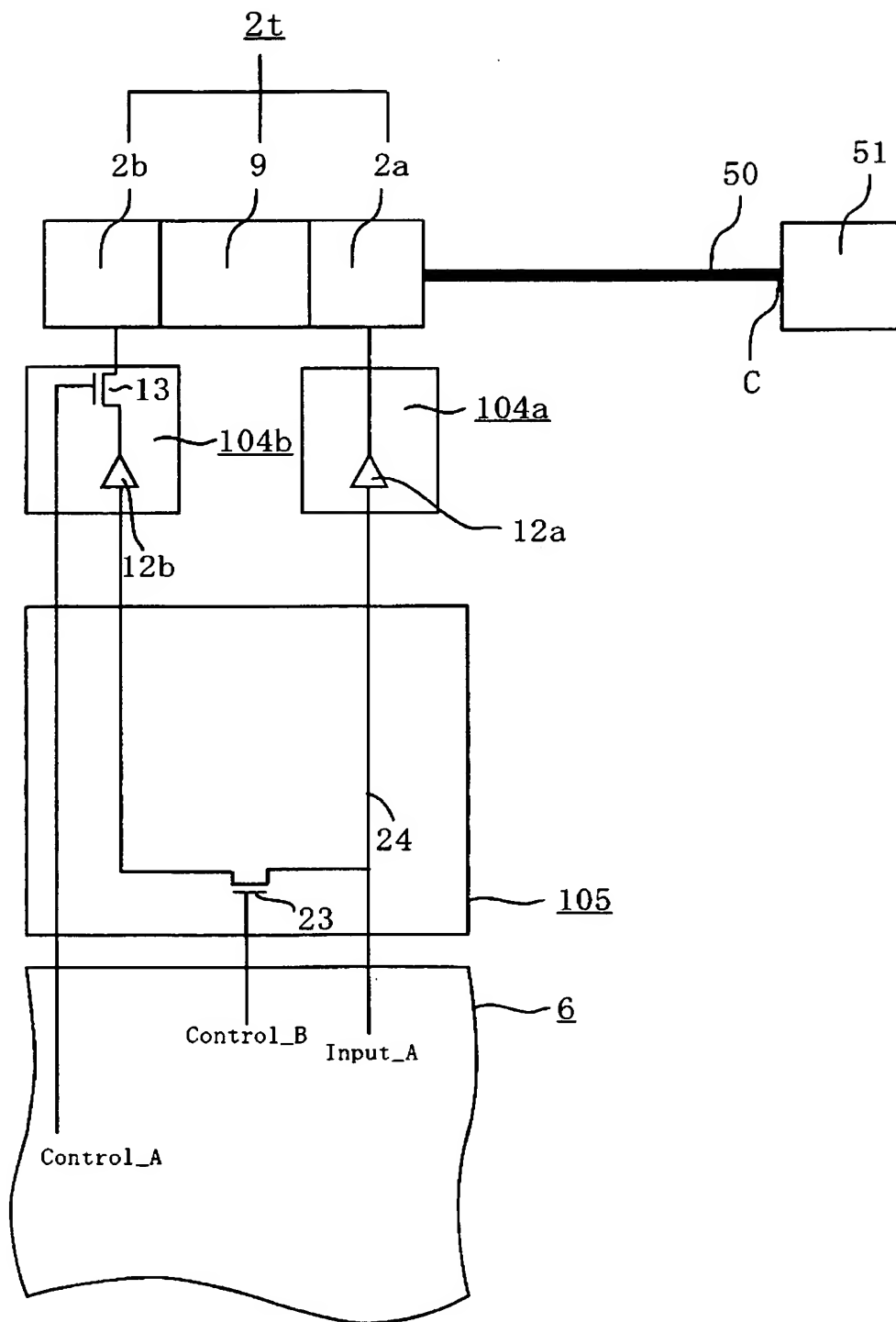


(b)



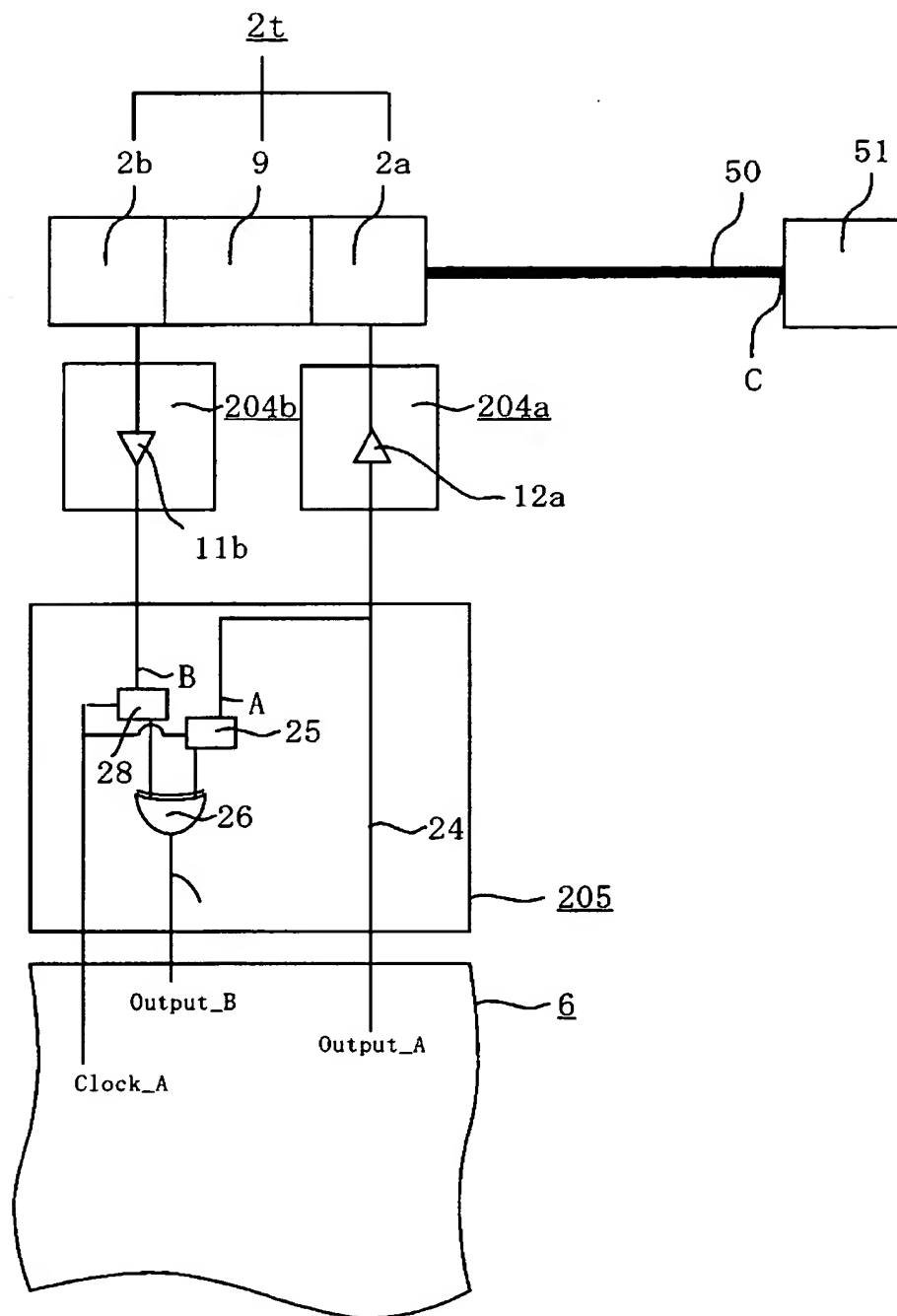


【図 9】



104a 第1の信号入出力回路  
 104b 第2の信号入出力回路  
 105 入出力信号制御回路

【図 10】



204a 第 1 の信号入出力回路  
 204b 第 2 の信号入出力回路  
 205 入出力信号制御回路

【書類名】 要約書

【要約】

【課題】 小型パッドおよび低電流駆動能力の出力バッファを持つ半導体装置のテストを容易化する。

【解決手段】 半導体装置 1 は、半導体基板 7 の一主面に形成された第 1 のパッド 2 a と、第 2 のパッド 2 b と、この第 1 のパッド 2 a と第 2 のパッド 2 b とを接続するパッド接続部 9 と、第 1 のパッド 2 a と接続された、第 1 の出力バッファ 1 2 a を有する第 1 の信号入出力回路 4 a と、第 2 のパッド 2 b と接続された、第 2 の出力バッファ 1 2 b を有する第 2 の信号入出力回路 4 b と、第 1 の信号入出力回路 4 a と第 2 の信号入出力回路 4 b とに接続された入出力信号制御回路 5 とを備える。入出力信号制御回路 5 は、第 1 の出力バッファ 1 2 a と第 2 の出力バッファ 1 2 b とから、同時に同一論理の出力信号を出力させる。

【選択図】 図 1

特願 2 0 0 3 - 3 0 1 8 2 0

出 願 人 履 歴 情 報

識別番号

[ 5 0 3 1 2 1 1 0 3 ]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ